

**Patent number:** JP5218365  
**Publication date:** 1993-08-27  
**Inventor:** YAMAGATA KENJI  
**Applicant:** CANON KK  
**Classification:**  
- **international:** H01L27/12; H01L21/02  
- **European:**  
**Application number:** JP19920041942 19920131  
**Priority number(s):** JP19920041942 19920131

[Report a data error here](#)

**Abstract of JP5218365**

**PURPOSE:** To provide a method of manufacturing a high performance SOI substrate which may be applied for manufacture of a large scale integrated circuit to form a silicon single crystal thin film on a transparent insulating substrate with a sticking method. **CONSTITUTION:** A porous silicon 101 is formed by anodizing the entire part of a silicon single crystal substrate 100 and elements are formed on an epitaxial layer by epitaxially growing a silicon single crystal thin film 102 on the one surface thereof. An element forming surface 109 is stuck to a supporting substrate 111 with wax to selectively etch the porous silicon 101. Next, after an epitaxial layer forming elements is bonded with a transparent insulating substrate 110 mainly consisting of SiO<sub>2</sub> using a bonding agent 108, the wax 103 is heated and softened to separate the supporting substrate 111 from the epitaxial layer forming elements.

**BEST AVAILABLE COPY**

特開平5-218365

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.<sup>5</sup>H01L 27/12  
// H01L 21/02

識別記号

Z 8728-4M  
B 8518-4M

F I

審査請求 未請求 請求項の数7 (全9頁)

(21)出願番号

特願平4-41942

(22)出願日

平成4年(1992)1月31日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山方 憲二

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

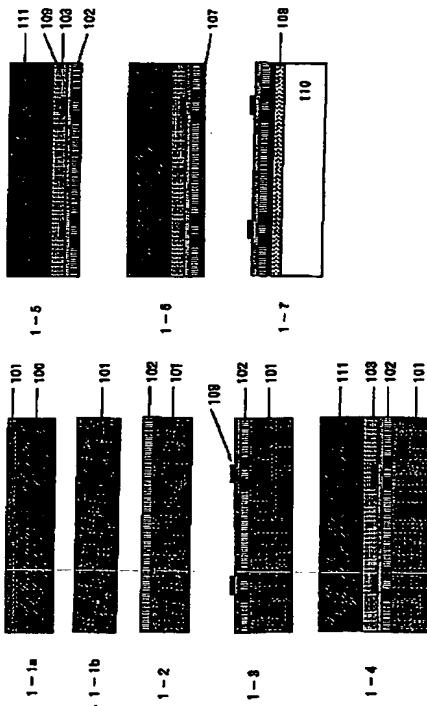
(74)代理人 弁理士 山下 穣平

(54)【発明の名称】半導体素子の作製方法

(57)【要約】

【目的】 大規模集積回路の作製に適用可能な、透明絶縁性基板上にシリコン単結晶薄膜を貼り合わせ法で形成する高機能性SOI基板の作製方法。

【構成】 シリコン単結晶基板100全体を陽極化成して多孔質シリコン101を形成し、その一表面上にシリコン単結晶薄膜102をエピタキシャル成長して、エピタキシャル層に素子を形成する。素子形成面109を支持基板111とワックス103により貼り合わせて、多孔質シリコン部分を選択的にエッティングする。つぎに、素子が形成されたエピタキシャル層を、SiO<sub>2</sub>を主成分とする透明絶縁性基板110と接着剤108により接着したのち、ワックスを加熱軟化させて支持基板と、素子が形成されたエピタキシャル層を分離する。以上の工程によって作製するものである。



## 【特許請求の範囲】

【請求項1】 シリコン単結晶基板の全体を多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記貼り合わせた基板の多孔質シリコン部分を選択的にエッティング除去する工程と、前記素子が形成されたエピタキシャル層を、他の絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項2】 シリコン単結晶基板の片方の面の表層を多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記シリコン単結晶基板部分を研磨によって除去してから、前記多孔質シリコン部分を選択的にエッティング除去する工程と、前記素子が形成されたエピタキシャル層を他の絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項3】 前記素子の形成されたエピタキシャル層と前記接着剤との間に、可動イオンの拡散を防止するバリア層を設ける工程を含むことを特徴とする請求項1又は2に記載の半導体素子の作製方法。

【請求項4】 前記多孔質シリコン部の選択エッティングは、フッ酸、過酸化水素水、アルコール系の混合エッティング液により行うことを特徴とする請求項1又は2に記載の半導体素子の作製方法。

【請求項5】 前記多孔質化する工程が陽極化成である請求項1又は2に記載の半導体素子の作製方法。

【請求項6】 前記他の絶縁性基板がSiO<sub>2</sub>を主成分とする透明絶縁性基板であることを特徴とする請求項1又は2に記載の半導体素子の作成方法。

【請求項7】 前記素子が形成されたエピタキシャル層を、他の絶縁性基板と、前記接着剤を介さずに貼り合わせることを特徴とする請求項1又は2に記載の半導体素子の作製方法。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は絶縁基板上の半導体素子の作製方法に関し、更に詳しくは、ガラス等の透光性絶縁物基板上の単結晶半導体層に作成される、高機能、高性能電子デバイス、集積回路などに適する半導体素子の作製方法に関するものである。

## 【0002】

【従来の技術】絶縁物基板上の単結晶シリコン半導体層の形成は、Silicon on Insulator (SOI) 技術として

10 広く知られ、通常のシリコン集積回路を作製するバルクのシリコン基板では到達しない数々の優位点をこの基板が有することから、多くの研究が成されてきた。即ち SOI 技術を利用することで、1. 誘電体分離が容易で高集積化が可能、2. 対放射線耐性に優れている、3. 浮遊容量が低減され高速化が可能、4. ウエル工程が省略できる、5. ラッチアップを防止できる、6. 薄膜化による完全空乏型電界効果トランジスタが可能、等の優位点が得られる。上のようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り SOI 構造の形成方法についてさまざまな研究がされてきている。この内容は、例えば、Special Issue: "Single-crystal silicon on non-single-crystal insulators" ; edited by G.W.Cullen, Journal of Crystal Growth, volume 63, no 3, pp429 ~ 590 (1983). 等の文献にまとめられている。

20 【0003】多くのSOI技術の中でシリコン層が単結晶であって、ある程度の集積回路を形成できるレベルまで研究が進められた例としては、古くは単結晶サファイアを基板上にシリコン膜をCVD (化学気相法) でヘテロエピタキシーさせて形成するSOS (Silicon on Sapphire) が知られており、最も成熟したSOI技術として一応の成功を収めている。しかしこの技術に於いてはシリコン層と下地サファイア基板界面の格子不整合により大量の結晶欠陥が生じたり、サファイア基板からアルミニウムがシリコン層へ混入したり、そして何よりも基板の高価格と大面積化への対応が遅れている、などの理由によりその応用の広がりが妨げられている。

30 【0004】比較的近年には、サファイア基板を使用せずにシリコン基板をもとにしてSOI構造を実現しようという試みが行なわれている。例えばZMR、SIMOX、貼り合わせSOIなどである。

40 【0005】ZMR (Zone Melting Recrystallization) とはSiO<sub>2</sub>膜で被覆された単結晶シリコン基板の一部に開口部を設け、その上に堆積した非晶質或いは多結晶シリコン層に電子線、レーザー光等のエネルギーービームを収束して照射し、開口部の単結晶基板面をシードにした溶融再結晶により単結晶シリコン層をSiO<sub>2</sub>上に成長させるか、又は棒状ヒーターにより帯状に溶融領域を走査するものである。この方法では、比較的大規模な集積回路も試作されてはいるが、依然として亜粒界等の結晶欠陥が多数残留しており、少数のキャリヤーデバイス

を作成するにいたってない。また制御性、生産性等の面で多くの課題を抱えている。

【0006】一方S I M O X (Separation by Ion Implanted Oxygen)とは、シリコン単結晶基板中の酸素のイオン注入により  $\text{SiO}_2$  層を形成する方法である。この技術はシリコンプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、 $\text{SiO}_2$  層を形成するためには酸素イオンを  $10^{18} \text{ ions/cm}^2$  以上も注入する必要があるが、その注入時間は長大であり生産性は高いとはいえない、またウエハコストは高い。更に結晶欠陥は多く残存し、工業的に見て少数キャリヤーデバイスを作製できる充分な品質に至っていない。

【0007】貼り合わせS O Iとは、少なくともどちらか片方には  $\text{SiO}_2$  等の絶縁膜を有する2枚の基板を鏡面同士で貼り合わせて、熱処理した後に片方の基板を研磨してゆき、絶縁膜上に薄膜を残すというものである。この場合特に問題となるのは研磨の精度であり、通常数百  $\mu\text{m}$  の厚みを有する単結晶基板を、面内均一に数  $\mu\text{m}$  もしくは1  $\mu\text{m}$  以下まで研磨することは極めて困難である。また貼り合わせる2枚の基板ともシリコン基板であれば良いが、片方がガラス等の異種材料基板である場合には、熱処理を施したときに両者の熱膨張係数の違いにより基板の破壊、剥離等が起こってしまう。

【0008】以上説明したS O I構造は、すべて先に述べたような高性能デバイスの作製を目的に開発された技術であるが、一方では透明絶縁物基板上にシリコン単結晶薄膜を形成し、その上でデバイスを作製することで高性能化に加えてデバイス自体に機能性を持たせようとする試みがなされている。

【0009】ガラスのような透明絶縁性基板上にシリコン単結晶薄膜を形成するためには、前述したようなシリコン基板そのものに依存するS I M O XやZ M Rでは不可能であり（シードなしのZ M Rでは不可能ではないが、方位の制御や単結晶性の繊維が困難である）、唯一可能性のあるのは貼り合わせS O Iである。しかし貼り合わせS O Iにしても前述したように、厚みが数百  $\mu\text{m}$  もある2枚の異種材料基板同士は、互いの熱膨張係数の違いにより貼り合わせるのが極めて困難である。そこで熱膨張係数が違っても熱処理をしなければ問題ないという観点から、シリコン基板上に通常のプロセスで素子を形成した後、シリコン基板の裏面から基板自体を研磨してゆき、素子を形成してある表層のみを残し、この薄膜を透明基板に透明な樹脂性の接着剤を用いて貼り付けるという技術が公表されている（K. Sumiyoshi et al, 1989 IEDM attended paper: technical digest p165）。

【0010】しかしながらこの方法においては、薄膜化する際に、シリコン酸化膜をストッパーにした選択研磨を用いている。研磨技術は前述したように精度に問題点があり、上記論文中にも記されているがシリコンとシリコン酸化膜との間の研磨速度比は約100倍程度しかな

い。従って膜厚の分布がなく、均一な薄膜を研磨によって作製するのは非常に困難と言える。研磨でなくシリコン基板中の不純物濃度差を利用した選択エッチングに関しても、同様に選択比が十分にはとれない。

【0011】

【発明が解決しようとしている課題】以上述べたように、従来の方法では高性能電子デバイスを作製するに足るS O I基板を生産性よく提供できる技術は、未だ達成するに至っていない。またS O I構造を透明基板上に形成し、基板自体に機能性を持たせたものに関しては、更に技術開発が遅れているなどの問題点があった。

【0012】（発明の目的）本発明は、上述の問題点を解消するために、透明絶縁性基板等の絶縁性基板上に、基板と熱膨張係数の大きく異なるシリコン単結晶薄膜を貼り合わせ法によって形成することで高機能性S O I基板を作製することを可能とし、かつ大規模集積回路を作製する際にも高価なS O Sや、S I M O Xの代替足り得る高性能半導体基板や、その作製方法も同時に可能とする半導体素子の作製方法を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明の半導体素子の作製方法は、前述した課題を解決するための手段として、シリコン単結晶基板の全体を陽極化成により多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板とワックス又は熱可塑性樹脂を介して貼り合わせる工程と、多孔質シリコン部分を選択的にエッチングする工程と、前記素子が形成されたエピタキシャル層を  $\text{SiO}_2$  を主成分とする透明絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程を含んでいる。

【0014】また、本発明の半導体素子の作製方法は、シリコン単結晶基板の片方の面の表層を陽極化成により多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板とワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記シリコン単結晶基板部分を研磨によって除去してから多孔質シリコン部分を選択的にエッチングする工程と、前記素子が形成されたエピタキシャル層を  $\text{SiO}_2$  を主成分とする透明絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程を含んで、その手段とするものである。

【0015】また、本発明の半導体素子の作製方法は、前記素子の形成されたエピタキシャル層と前記接着剤の

間に、可動イオンの拡散を防止するバリア層を設ける工程を含んでいる。

【0016】また、本発明の半導体素子の作製方法は、前記多孔質シリコン部の選択エッチングは、フッ酸、過酸化水素水、アルコール系の混合エッチング液により行う。

【0017】

【作用】本発明は、多孔質シリコンが有する二つの重要な物理的特性を利用するものである。その一つは、多孔質シリコンのエッチング特性である。通常、シリコンはフッ酸では殆どエッチングされないが、多孔質化することによってエッチングが可能となる。しかも図4に示すようにフッ酸、過酸化水素水、アルコールの混合エッチング液を用いると、非多孔質と多孔質では約10の5乗倍ものエッチング速度比が得られる。従って1μm前後の薄膜でも均一に制御性よく選択エッチングが可能になる。

【0018】もう一つの特性は、エピタキシャル成長特性である。多孔質シリコンは結晶構造としては単結晶構造を保っており、表面から内部にわたって数十～数百オングストロームの孔が高密度に存在するものである。この表面に成長するエピタキシャル層は、非多孔質の単結晶基板上のエピタキシャル層と同等の結晶性が得られるという特性を有する。従って活性層として信頼性の高い単結晶シリコン基板上のエピタキシャル層と同等の単結晶薄膜を用いるので、従来のSOI基板に比べて優れた結晶性を有するSOI基板が提供できる。

【0019】本発明によれば、多孔質シリコン上にエピタキシャル成長した単結晶層に素子を形成し、素子形成された単結晶層をワックス等によって一担支持基板に保持させ、多孔質部分を選択エッチングして素子形成された単結晶層を単独の薄膜(membrane)とし、これを接着剤を用いて透明絶縁性基板と接着し、ワックス等と共に支持基板を分離するという方法によって、透明基板上に高性能かつ高機能性の電子デバイスを容易に作製できるようになる。

【0020】また、エピタキシャル成長層は膜厚分布の制御が容易であるため、この成長層をそのまま使用したSOI層の膜厚分布も極めて均一なものが得られる。

【0021】また、多孔質シリコンと非多孔質シリコンにおけるエッチング速度比が極めて大きいため、従来の選択研磨や不純物濃度差を利用した選択エッチングによる除去に比べて、飛躍的にエッチングの制御性が向上する。

【0022】また熱膨張係数の違いにより実現が極めて困難であった、透明絶縁性基板上のシリコン単結晶薄膜デバイスを、容易に作製できるようになる。

【0023】また、素子が形成されたエピタキシャル層と接着剤との間に、可動イオンの拡散を防止するバリア層を設けることにより、透明絶縁性基板を接着する接着

剤からの可動イオンによる、エピタキシャル層の素子形成層への悪影響を防止することができる。

【0024】(実施態様例)以下、本発明の実施態様例について図面を参照して説明する。

【0025】図1は、本発明の半導体素子の作製方法の工程の流れを説明する模式的断面図である。

【0026】まず、(図1-1)のように単結晶シリコン基板100を陽極化成して多孔質シリコン101を形成する。このとき多孔質化する領域は、図1-1aのように基板の片側表面層のみでも、図1-1bのように基板全体でもかまわない。片側表面層のみを多孔質化する場合には、その領域は10～100μmの厚みでよい。

【0027】なお、ここで多孔質シリコンの形成方法について簡単に、図2のシリコン基板を多孔質化する装置説明図を用いて説明する。

【0028】まず基板としてP型の単結晶シリコン基板200を用意する。N型でも不可能ではないが、その場合は低抵抗の基板に限定される。基板200を図2-1に示すような装置にセッティングする。即ち基板の片側がフッ酸系の溶液204に接していて、溶液側に負の電極206がとられており、逆側は正の金属電極205に接している。

【0029】また、図2-2は他の構成例の装置を示す図であり、図に示すように、正電極側205'も溶液204'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。

【0030】フッ酸系溶液204としては、一般的には濃フッ酸(49%HF)を用いる。純水(H<sub>2</sub>O)で希釈していくと、流す電流値にもよるが、ある濃度からエッチングが起こってしまうので好ましくない。

【0031】また陽極化成中に基板200の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加える場合がある。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに攪はん器を用いて、溶液を攪はんしながら陽極化成を行ってもよい。

【0032】負電極206に関しては、フッ酸溶液に対して侵食されないような材料、例えば金(Au)、白金(Pt)等が用いられる。

【0033】正側の電極205の材質は一般に用いられる金属材料でかまわないが、陽極化成が基板200すべてになされた時点での、フッ酸系溶液204が正電極205に達するので、正電極205の表面にも耐フッ酸溶液性の金属膜をコーティングしておくとよい。

【0034】陽極化成を行う電流値は、最大数百mA/cm<sup>2</sup>であり、最小値は零でなければならない。この値は多孔質化したシリコンの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きい

と陽極化成の速度が増すと同時に、多孔質シリコン層の密度が小さくなる。即ち孔の占める体積が大きくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0035】次に(図1-2)に示す工程において、以上のようにして形成した多孔質シリコン基板、もしくは多孔質層101上に、非多孔質の単結晶シリコン層102をエピタキシャル成長する。

【0036】多孔質シリコンは結晶構造としては単結晶構造を保っており、表面から内部にわたって数十～数百オングストロームの孔が高密度に存在する。表面に成長するエピタキシャル層は、非多孔質の単結晶基板上のエピタキシャル層と同等の信頼性の高い結晶性が得られる特性を有するものであり、エピタキシャル成長は一般的な熱CVD、減圧CVD、プラズマCVD、分子線エピタキシー、スパッタ法等で行われる。成長する膜厚はSOI層の設計値と同じくすれば良いが、好ましくは1μm以下の膜厚が良い。これは1μm以上の膜厚の単結晶シリコンだと可視光が透過しなくなってしまうからである。但しSOI基板作製後に素子形成領域以外の部分をエッティングする場合や、光透過性を重視しないデバイスの場合には膜厚は特に制限されるものではない。

【0037】次に(図1-3)に示す工程において、エピタキシャル層102に通常のデバイスプロセスで素子109を形成する。素子の種類、形態等にはなんら制限はない。

【0038】次に(図1-4)に示す工程において、上記基板を適当な温度に加熱しながら、素子形成面109にワックスや熱可塑性樹脂103を塗布し、支持基板111を接着する。

【0039】ワックスは室温で固化していて、100℃前後に加熱すると軟化するものを用いると良い。熱可塑性樹脂は液状で塗布し、ウエハー上で重合するものでも良いが、シート状になっているものも便利である。またこれらはアセトン、トルエン等の有機溶剤に溶解するものが好ましい。例えばワックスではエレクトロン・ワックス他、樹脂材料ではフェノール系、メラミン系、ポリフッ化エチレン系などが高軟化点材料として挙げられ、塩化ビニル・酢酸ビニル混合系、ポリスチロール系などが低軟化点材料として挙げられる。支持基板111に関しては形状、大きさ(厚み)、材料など、任意のものでかまわない。例えばシリコン(単結晶でも多結晶でもかまわない)を支持基板材料に用いれば、1つの支持基板を半永久的に使用することが可能である。

【0040】次に(図1-5)に示す工程において、上記支持基板111と素子形成層を残して、多孔質シリコン側を選択的にエッティングする。この場合、多孔質シリコンの特徴として、通常シリコンはフッ酸では殆んどエッティングされないが、多孔質化することによってエッティングが可能となることがあげられる。

【0041】しかも、図4の多孔質シリコンと非多孔質シリコンのエッティング速度比を示すグラフに示すように、フッ酸、過酸化水素水、アルコールの混合エッティング液を用いると、非多孔質と多孔質シリコンでは10の5乗倍ものエッティング速度比が得られる。従って単結晶層が1μm前後の薄層でも均一に制御性よく選択エッティングが可能になる。

【0042】このときエッティングされる部分が全体にわたって多孔質である場合には、接着した基板ごとフッ酸系溶液中に浸しておけば、多孔質部分101は全て選択的にエッティングされる。エッティングされる部分に単結晶シリコン基板100のままの領域を含む場合には、シリコン基板100の領域のみを研磨して除去するのが好ましい。そして多孔質部分101が露出した時点で研磨を終了し、後はフッ酸系溶液中で選択エッティングを行える。いずれの場合にせよ多孔質でない単結晶のエピタキシャル成長部分102は殆どフッ酸と反応しないので薄膜として残る。

【0043】また当然のことながら、支持基板111は、フッ酸系溶液に反応しにくい材料を用いることが好ましい。このときフッ酸系溶液というのは、フッ酸のほかに過酸化水素水(H<sub>2</sub>O<sub>2</sub>)やアルコール類を混合したものが用いられる。フッ酸と硝酸、もしくはこれに酢酸を加えた混合溶液でも多孔質シリコンの選択エッティングは可能だが、この場合残されるべき単結晶シリコン薄膜も多少エッティングされるので、精密に時間等の制御をする必要がある。

【0044】次に(図1-6)に示す工程において、次に素子形成層と透明基板を接着剤を用いて接着するのだが、この際接着剤からの可動イオンが素子形成層に悪影響を及ぼす場合がある。そこで素子形成層の裏面が露出した際に、シリコン空化膜等のバリア層107を素子形成層の裏面に堆積しておくと良い。シリコン空化膜は通常LPCVDやプラズマCVD等で堆積するが、支持基板と接着しているワックスや熱可塑性樹脂が耐えられる温度である必要があるので、プラズマCVDで100～300℃の範囲で堆積するのが好ましい。またバリア層107の膜厚さは、光透過率を考慮するならば、薄い方が好ましい。バリア層107は必ずしも必須ではなく、素子に悪影響を及ぼす不純物の含有量が少ない場合には省略も可能である。

【0045】次に(図1-7)に示す工程において、固化した際に光透過性となる接着剤108を用いて、露出した素子形成面109の裏面、或いは該面上に形成されたバリア層107面をSiO<sub>2</sub>を主成分とする透明絶縁性基板110と密着させる。透明絶縁性基板110は溶融石英、合成石英、ガラス、合成樹脂等の中から選ばれる。接着剤108はなるべく可動イオンの含有量が少ない樹脂系接着剤が好ましい。

【0046】密着した後に基板全体を加熱し、ワックス

又は熱可塑性樹脂103を軟化させて支持基板111を分離する。支持基板111を分離した後、素子形成面109に残されたワックス等の残渣をアセトン、ジクロロメタン、トルエン等の有機溶剤で十分に洗浄し、もしくは洗浄のみで完全に取りきれない場合にはプラズマアッティング等を行い、透明絶縁性基板上のSOI構造の素子を得る。

【0047】本発明では素子形成層102を接着剤108で透明基板110に接着しているが、接着剤を用いなくとも基板と素子形成層を接着することは不可能ではない。つまり素子形成層102の裏面(素子を形成していない側)と透明絶縁性基板110の界面は、単に密着させただけであっても特に外部応力を加えない限り通常のシリコン基板と同様な取り扱いが可能である。これは基板110と薄膜102の界面における水素結合のためにある。水素結合は分子間結合であるので、界面の密着性が高い程、即ち基板と薄膜の平坦性が高い程強くなる。従って基板と薄膜の密着性を高めるために、基板の上から重石等で均一な圧力をかけるのも有効な手段である。

【0048】また水素結合は、密着する界面の水素原子(-H)と酸素原子(-O-)間の引力であるので、素子形成層102と透明絶縁性基板110を密着させる前の洗浄の最終工程で水素結合が行い易くなるように表面処理を施すことによって、かなり結合力を高めることができる。但し水素結合はそれほど強い結合ではないので、応力を加えると素子形成層がすぐ剥離してしまう。そこで水素結合で密着しているものを熱処理して、結合力を強めることも考えられる。

【0049】一般的に熱処理の温度が高ければ高いほど、界面の結合力が強まる。これは約200℃以上になると、水素結合していた水素と酸素の両原子がH<sub>2</sub>Oの形で脱水し、その後に縮合したシラノール結合(Si-O-Si)を形成するためである。しかしながら本発明の工程では、最初に素子が形成されてしまうので、最後に400℃以上の熱処理を施すのは素子の破壊を招き困難となる。従って300℃前後までの熱処理が許されることになる。300℃程度の熱処理だと水素結合より若干結合力が増した程度なので、やはり接着剤を用いない場合には外部応力がかからないような使用方法に制限される。

#### 【0050】

【実施例1】(実施例1) つぎに図1及び図2を用いて本発明の具体的な第1実施例の詳細を図の工程順に説明する。

【0051】(図1-1)に示す工程において、200ミクロンの厚みを持った4インチP型(100)単結晶シリコン基板(0.1~0.2Ωcm)100を用意し、これを図2-1に示すような装置にセットして陽極化を行ない、図1-1bのような多孔質シリコン101を得た。この時の溶液204は49%HF溶液を用

い、電流密度は100mA/cm<sup>2</sup>であった。そしてこの時の多孔質化速度は8.4μm/min.であり、200μmの厚みを持ったP型(100)シリコン基板は24分で全体が多孔質化された。

【0052】次に(図1-2)に示す工程において、P型(100)多孔質シリコン基板101上にCVD法により、単結晶シリコン層102を0.5μmエピタキシャル成長した。堆積条件は以下のとおりである。

#### 【0053】

10 使用ガス: SiH<sub>4</sub>/H<sub>2</sub>  
ガス流量: 0.62/140 (l/min)  
温度: 750℃  
圧力: 80 Torr  
成長速度: 0.12μm/min.

次に(図1-3)に示す工程において、エピタキシャル層に液晶表示装置用のスイッチングトランジスタと、その周辺に画素の駆動用回路を通常の半導体プロセスを用いて形成した。

【0054】次に(図1-4)に示す工程において、素子が形成された基板をホットプレート上で加熱しながら、エレクトロンワックス103を素子形成面109上に塗り、4インチのシリコン支持基板111を素子形成面109に貼り合わせた。

【0055】次に(図1-5)に示す工程において、上記貼り合わせ基板を選択エッチング溶液中に浸し、多孔質部分101のみを選択的にエッチングした。このときエッチング溶液の組成と多孔質シリコンに対するエッチング速度は、

HF: H<sub>2</sub>O<sub>2</sub>: C<sub>2</sub>H<sub>2</sub>OH = 5:25:6

30 1.6μm/min.であった。従って200μmの多孔質部分は、約125分間で全てエッチングされた。ちなみにこのときの単結晶シリコン層102のエッチング速度は0.0006μm/hourであり、殆どエッチングされずに残った。

【0056】次に(図1-7)に示す工程において、上記工程により得られた試料を、塩酸/過酸化水素水/水(1:1:5)混合溶液で10分間洗浄し、さらに純水でリーンして乾燥させた後、同等の洗浄を行った4インチのガラス基板(厚み400μm)110と、単結晶シリコン層102とをポリイミド系樹脂接着剤108を用いて接着した。接着した基板をホットプレート上で約150℃に加熱し、ワックス103が軟化したところで支持基板111を取り除いた。

【0057】そして素子形成面109の表面に残留しているワックスを完全に除去するために、上記基板をトルエンで洗浄し、透明絶縁性基板上の単結晶シリコン薄膜に素子が形成されたSOI基板を得た。

【0058】更に、出来上がった回路上に液晶を封入し、パッケージングして光透過型の液晶表示装置を作製した。

【0059】(実施例2) 図3は、本発明の第2の実施例による半導体素子の作製法の工程の流れを示す模式的断面図である。図3を用いて本発明の具体的な第2実施例の詳細を図の工程順に説明する。

【0060】(図3-1)に示す工程において、300  $\mu\text{m}$ の厚みを持った抵抗率0.01  $\Omega \cdot \text{cm}$ のP型(100)シリコン基板300を用意し、その表面に第1実施例と同様にして多孔質層301を30  $\mu\text{m}$ の厚みに形成した。

【0061】次に(図3-2)に示す工程において、得られた基板の多孔質側の表面に第1実施例と同様にしてエピタキシャル層302を0.5  $\mu\text{m}$ の厚みに形成した。

【0062】次に(図3-3)に示す工程において、次に第1実施例と同様の素子及び電子回路をエピタキシャル層302に形成した。

【0063】次に(図3-4)に示す工程において、素子が形成された基板をホットプレート上で加熱しながら、エレクトロンワックス303を素子形成面309上に塗り、4インチのシリコン支持基板311を素子形成面309に貼り合わせた。

【0064】次に(図3-5)に示す工程において、単結晶基板300側を機械的研磨法により約280  $\mu\text{m}$ 研磨し、多孔質領域301を露出させた。続いてこの基板を第1実施例と同様のフッ酸系エッティング液に浸し、多孔質領域301のみを選択的にエッティングした。

【0065】次に(図3-6)に示す工程において、後は第1実施例と全く同様にして、透明基板上に液晶表示装置を作製した。

【0066】(実施例3)再び図1を用いて本発明の具体的な第3実施例の詳細を図の工程順に説明する。

【0067】図1-1から1-3までは、第1実施例と同じ工程とした。

【0068】次に(図1-4)に示す工程において、素子が形成された基板をホットプレート上で加熱しながら、シート状のフェノール系樹脂103を素子形成面109上に貼り、更に4インチのシリコン支持基板111を貼り合わせた。

【0069】次に(図1-5)に示す工程において、上記貼り合わせ基板を選択エッティング溶液中に浸し、多孔質部分101のみを選択的にエッティングした。

【0070】次に(図1-6)に示す工程において、多孔質シリコン101がエッティングされたことによって露出した素子形成面109の裏面に、プラズマCVDによってシリコン窒化膜107を0.05  $\mu\text{m}$ 堆積した。堆積温度は220°Cで行った。

【0071】次に(図1-7)に示す工程において、上記工程により得られた試料を4インチの溶融石英基板110とシリコン窒化膜107面とをポリイミド樹脂系接着剤108を用いて接着した。接着した基板を350°C

に加熱しながら、素子形成面109から支持基板111を取り除いた。

【0072】そして素子形成面109に残ったフェノール系樹脂103をジクロロメタン中で洗浄し、更に残ったフェノール樹脂は酸素プラズマでアッシングし、透明絶縁性基板上の単結晶シリコン薄膜に素子が形成されたものを得た。

【0073】更に出来上がった回路上に液晶を封入し、パッケージングして光透過基板型の液晶表示装置を作製した。

【0074】また上述した各実施例においては、光透過性絶縁基板を用いたが、光透過性の基板に限ることはないことは明らかである。

【0075】

【発明の効果】以上詳述したように、多孔質シリコン上にエピタキシャル成長した単結晶層に素子を形成し、素子形成された単結晶層をワックス等によって一担支持基板に保持させ、多孔質部分を選択エッティングして素子形成された単結晶層を単独の薄膜(membrane)とし、これを接着剤を用いて透明絶縁性基板と接着し、ワックス等と共に支持基板を分離するという方法によって、透明基板上に高性能かつ高機能性の電子デバイスを容易に作製できるようになった。

【0076】本発明の主たる効果は、エピタキシャル成長層は膜厚分布の制御が容易であるため、この成長層をそのまま使用したSOI層の膜厚分布も極めて均一であることと、多孔質シリコンと非多孔質シリコンにおけるエッティング速度比が極めて大きいため、従来の選択研磨の選択エッティングに比べて、飛躍的にエッティングの制御性が向上し、従って生産性が向上したこと、そして従来から熱膨張係数の大きな違いにより実現が極めて困難であった、透明絶縁性基板上のシリコン単結晶薄膜デバイスを、容易に作製できるようにしたことである。

【0077】また本方法によって得られたSOI基板は光透過性であるので、この性質を利用した機能性デバイスを設計することが可能であるし、またSOI構造の大規模集積回路を作製する目的に対しても、高価なSOSや、SIMOXの代替足り得る半導体基板を提供することができるようになった。

【図面の簡単な説明】

【図1】本発明の第1、第3実施例による半導体素子の作製方法の工程を説明するための模式的断面図である。

【図2】シリコン基板を多孔質する際の装置説明図である。

【図3】本発明の第2実施例による半導体素子の作製方法の工程を説明するための模式的断面図である。

【図4】多孔質シリコンと非多孔質シリコンのエッティング速度比を示す図である。

【符号の説明】

100, 200, 300 単結晶シリコン基板

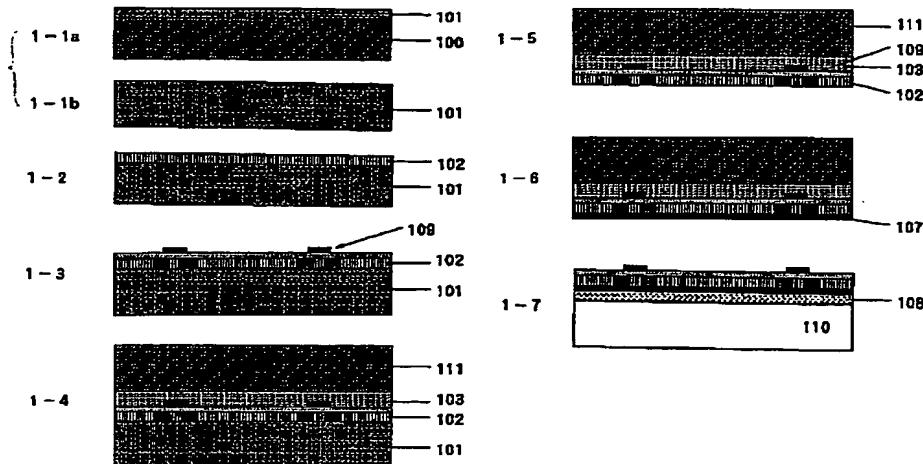
13

101, 301 多孔質化したシリコン基板、又は多孔質層  
 102, 302 エピタキシャル成長層  
 103, 303 ワックス又は熱可塑性樹脂  
 107 バリア層  
 108, 308 接着剤

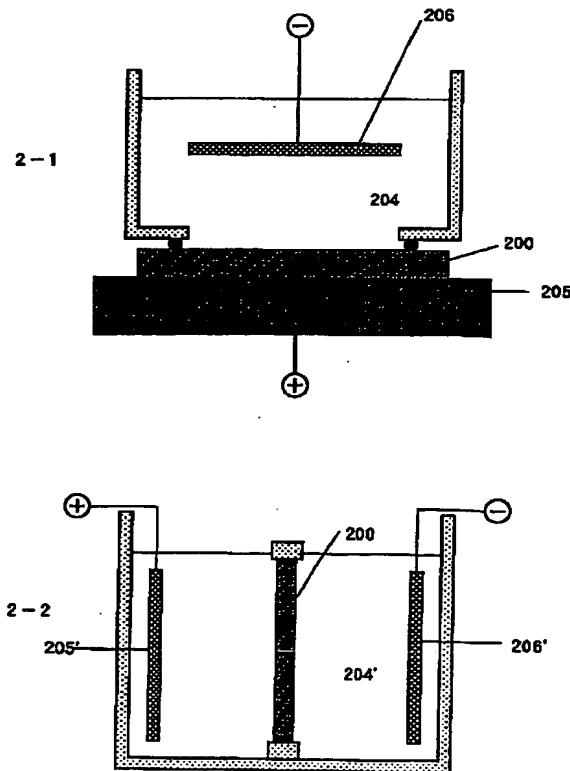
14

109, 309 素子、又は素子形成面  
 110, 310 透明絶縁性基板  
 111, 311 支持基板  
 204, 204' エッティング液  
 205, 205' 正電極  
 206, 206' 負電極

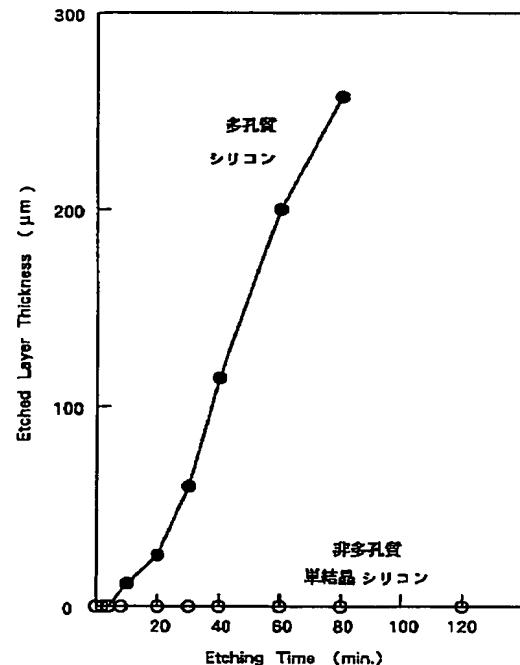
【図 1】



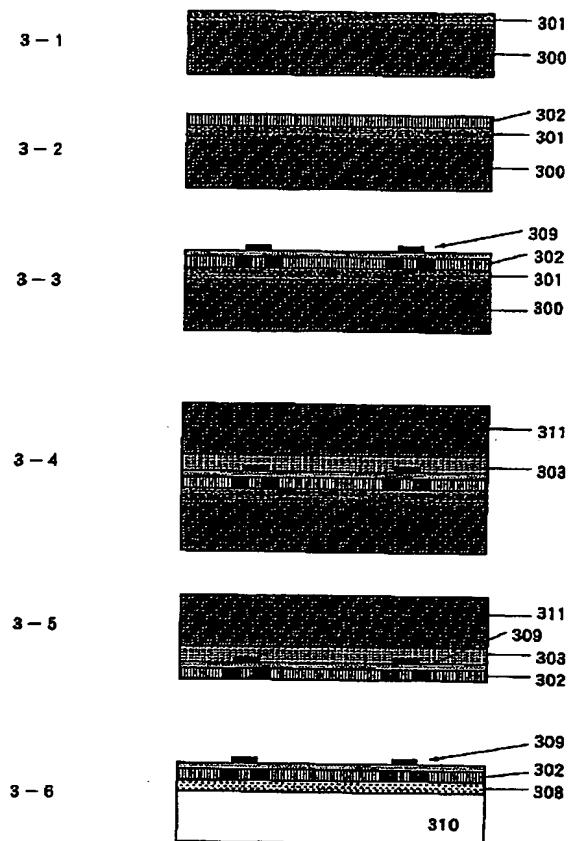
【図 2】



【図 4】



【図 3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**